

Jan Dürre

Ein skalierbares und flexibles FPGA-Framework für Lehre und Rapid-Prototyping

Berichte aus der Elektrotechnik

Jan Dürre

**Ein skalierbares und flexibles FPGA-Framework
für Lehre und Rapid-Prototyping**

Shaker Verlag
Düren 2019

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

Zugl.: Hannover, Leibniz Univ., Diss., 2019

Copyright Shaker Verlag 2019

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe, der Speicherung in Datenverarbeitungsanlagen und der Übersetzung, vorbehalten.

Printed in Germany.

ISBN 978-3-8440-6780-4

ISSN 0945-0718

Shaker Verlag GmbH • Am Langen Graben 15a • 52353 Düren

Telefon: 02421 / 99 0 11 - 0 • Telefax: 02421 / 99 0 11 - 9

Internet: www.shaker.de • E-Mail: info@shaker.de

Ein skalierbares und flexibles FPGA-Framework für Lehre und Rapid-Prototyping

Dissertation – Jan Dürre – 2019

Die stark zunehmende Verbreitung von Informations- und Kommunikations-Technologie im Alltag vieler Menschen geht einher mit einem ebenfalls stark ansteigenden Bedarf an Energie-effizienter Rechenleistung. Diese Rechenleistung wird aktuell zum Großteil durch einfach programmierbare Prozessoren erbracht. In der Vergangenheit konnten derartige Systeme durch Architektur-Verbesserungen und Erhöhungen von Taktraten die steigenden Anforderungen an die Rechenleistung erfüllen. Das Annähern an physikalische Grenzen der herkömmlichen Prozessor-Technologie erfordert zukünftig den Einsatz neuartiger Architektur-Ansätze, um dem steigenden Bedarf nach effizienter Rechenleistung gerecht zu werden. Field Programmable Gate Arrays (FPGA) haben aufgrund ihrer hohen Flexibilität und Recheneffizienz das Potential, wesentlicher Teil dieser neuen Architekturen zu sein.

Bereits jetzt haben FPGAs große Bedeutung als spezialisierte Realisierungsmöglichkeit, besonders dort wo hohe Rechenleistungen erforderlich sind. Aufgrund dessen bildet der FPGA-Schaltungsentwurf zum aktuellen Zeitpunkt schon eine immer wichtiger werdende Kompetenz hochausgebildeter Elektrotechnik-Ingenieure. Der mögliche Wandel von einer hochspezialisierten Nischentechnologie zur Mainstream-Technologie erfordert zukünftig die breite Vermittlung von FPGA-Konzepten oder –Kompetenzen an unterschiedlichste Zielgruppen, beispielsweise auch an Anwender. Die hohe Komplexität des FPGA-Entwurfs stellt hierbei eine wesentliche Herausforderung dar.

Die vorliegende Arbeit präsentiert ein umfangreiches Werkzeug zur flexiblen und gezielten Skalierung der Abstraktion des FPGA-Entwurfs. Die Komponenten des gezeigten Ansatzes sind geeignet die Komplexität der verschiedenen Aspekte des FPGA-Schaltungsentwurfs individuell so zu vereinfachen, dass die Vermittlung an Zielgruppen mit unterschiedlichen Vorkenntnissen möglich wird. Hierbei werden stets alle wesentlichen Konzepte des FPGA-Schaltungsentwurfs erhalten, um eine erfolgreiche Vermittlung der Kernaspekte zu gewährleisten.

Der erfolgreiche Einsatz des im Rahmen dieser Arbeit entstandenen Frameworks konnte anhand von mehreren Fallstudien gezeigt werden. Der Jugendwettbewerb „INVENT a CHIP“ zeigt die gelungene Vermittlung von grundlegenden FPGA-Konzepten an Schülerinnen und Schüler der Jahrgangsstufen 8 bis 13. Das Labor „FPGA-Entwurfstechnik“ der Leibniz Universität Hannover bietet Master-Studierenden im Bereich Elektrotechnik die Möglichkeit tiefgehende und detailreiche Kenntnisse über FPGAs zu erlangen. Das Konzept eines neuartigen Labors für Software-Entwickler zeigt die mögliche Abstraktion des FPGA-Entwurfs mit Fokus auf hardwarenaher Programmierung. Zusätzlich ist die Vereinfachung des FPGA-Entwurfs mit Hilfe des vorliegenden Werkzeugs dazu geeignet, die Entwurfszeit in Rapid-Prototyping Projekten in erheblichem Maße zu verkürzen. Dieser Aspekt konnte anhand der Implementierung eines State-of-the-Art FPGA-Demonstrationssystems zur videobasierten Personendetektion mit Hilfe des Frameworks veranschaulicht werden.

Schlagworte: FPGA – Framework – Lehre – Rapid-Prototyping